

© EPPO/DOC / EPO

PN - JP2001308077 A 20011102

PD - 2001-11-02

PR - JP20000127952 20000427

OPD - 2000-04-27

TI - SEMICONDUCTOR DEVICE MANUFACTURING APPARATUS

AB - PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing apparatus which can prevent or suppress a material from scattering and contaminating the periphery or backside of a wafer such as ferroelectric material, magnetic material or other material, etc., which deteriorates transistor characteristics in processing the material fixed onto a wafer by an electrostatic chuck mechanism for manufacturing the semiconductor device. SOLUTION: A dry etcher having a lower electrode housed in a vacuum vessel for holding a wafer 10 to be processed by introducing an etching gas and applying high-frequency power to generate a discharge plasma, comprises an electrostatic chuck mechanism housed in the vacuum vessel for fixing the wafer and a cover ring 13 housed in a process chamber for covering the upper side of the periphery of the wafer or above it.

IN - KANETANI HIROYUKI; KUMURA YOSHINORI; TANIGUCHI YASUYUKI; KUNISHIMA IWAO

PA - TOKYO SHIBAURA ELECTRIC CO

IC - H01L21/3065; C23C14/34; C23C14/50; H01L21/203; H01L27/105; H01L27/10

© WPI / DERWENT

TI - Semiconductor memory manufacturing apparatus e.g. for ferroelectric memory, has cover ring provided on upper periphery of semiconductor wafer held in processing chamber

PR - JP20000127952 20000427

PN - JP2001308077 A 20011102 DW200240 H01L21/3065 009pp

PA - (TOKE) TOSHIBA KK

IC - C23C14/34 ;C23C14/50 ;H01L21/203 ;H01L21/3065 ;H01L27/10 ;H01L27/105

AB - JP2001308077 NOVELTY - An electrostatic chuck (12) holds a semiconductor wafer (10) inside a processing chamber. A cover ring (13) is provided on the upper periphery of the wafer (10). A plasma discharge is generated inside the chamber to process the wafer.

- USE - For manufacture of semiconductor memory e.g. ferroelectric memory, magnetic memory, etc.

- ADVANTAGE - Since cover ring is provided on the periphery of the wafer, contamination of the wafer is prevented. Thus transistor characteristic is not degraded.

- DESCRIPTION OF DRAWING(S) - The figure shows the principal part of magnetron RIE apparatus.

- Semiconductor wafer 10

- Electrostatic chuck 12

- Cover ring 13

- (Dwg.1/15)

OPD - 2000-04-27

AN - 2002-365676 [40]

© PAJ / JPO

PN - JP2001308077 A 20011102

PD - 2001-11-02

AP - JP20000127952 20000427

IN - KANETANI HIROYUKI;KUMURA YOSHINORI;TANIGUCHI YASUYUKI;KUNISHIMA IWAO

PA - TOSHIBA CORP

TI - SEMICONDUCTOR DEVICE MANUFACTURING APPARATUS

THIS PAGE IS FOR (USPTO)

AB - PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing apparatus which can prevent or suppress a material from scattering and contaminating the periphery or backside of a wafer such as ferroelectric material, magnetic material or other material, etc., which deteriorates transistor characteristics in processing the material fixed onto a wafer by an electrostatic chuck mechanism for manufacturing the semiconductor device.

- SOLUTION: A dry etcher having a lower electrode housed in a vacuum vessel for holding a wafer 10 to be processed by introducing an etching gas and applying high-frequency power to generate a discharge plasma, comprises an electrostatic chuck mechanism housed in the vacuum vessel for fixing the wafer and a cover ring 13 housed in a process chamber for covering the upper side of the periphery of the wafer or above it.

- H01L21/3065 ;C23C14/34 ;C23C14/50 ;H01L21/203 ;H01L27/105 ;H01L27/10

THIS PAGE IS FOR THE USE OF THE U.S. PATENT AND TRADEMARK OFFICE (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308077

(P2001-308077A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl.
 H 01 L 21/3065
 C 23 C 14/34
 14/50
 H 01 L 21/203
 27/105

識別記号

F I
 C 23 C 14/34
 14/50
 H 01 L 21/203
 27/10
 21/302

データコード (参考)
 J 4 K 0 2 9
 A 5 F 0 0 4
 S 5 F 0 8 3
 4 6 1 5 F 1 0 3
 B

審査請求 未請求 請求項の数13 O.L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-127952(P2000-127952)

(22) 出願日 平成12年4月27日 (2000.4.27)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 金谷 宏行

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 玖村 芳典

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

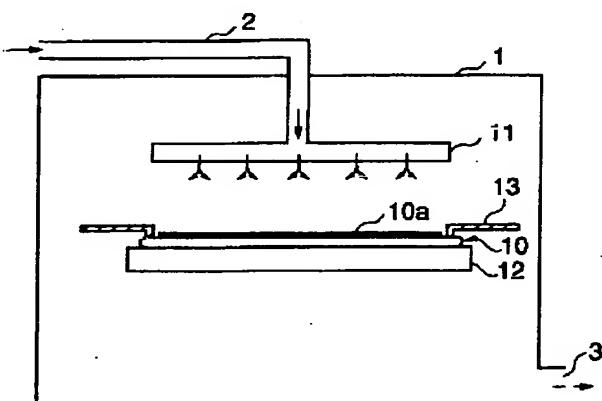
最終頁に続く

(54) 【発明の名称】 半導体製造装置

(57) 【要約】

【課題】 半導体装置の製造に際して静電チャック機構により固定されるウェハ上の強誘電体、磁性材料、その他のトランジスタ特性を劣化させる材料等の加工を行う際に、ウェハ周辺および裏面に材料が飛散、汚染することを防止抑制し得る半導体製造装置を提供する

【解決手段】 真空容器内に被処理ウェハ10を保持する下部電極を収容し、エッチャングガスが導入され、高周波電力が印加されることによって放電プラズマを発生するドライエッチャング装置において、真空容器内に収容され、ウェハを固定するための静電チャック機構と、処理容器内に収容され、ウェハの周辺部の上面あるいは上方を覆うカバーリング13とを具備する。



(2) 001-308077 (P2001-308077A)

【特許請求の範囲】

【請求項1】処理容器内部に被処理半導体ウェハを収容し、前記半導体ウェハの表面処理を行うための表面処理装置と、前記処理容器内に収容され、前記半導体ウェハを固定するための静電チャック機構と、前記処理容器内に収容され、前記半導体ウェハの周辺部の上面あるいは上方を覆うカバーパーツとを具備することを特徴とする半導体製造装置。

【請求項2】前記カバーパーツを上下動する機構をさらに具備することを特徴とする請求項1記載の半導体製造装置。

【請求項3】前記カバーパーツに対して前記静電チャック機構を上下動する機構をさらに具備することを特徴とする請求項1記載の半導体製造装置。

【請求項4】前記静電チャック機構および前記カバーパーツを上下動する機構をさらに具備することを特徴とする請求項1記載の半導体製造装置。

【請求項5】前記カバーパーツを支持する支持台と、前記支持台上で前記カバーパーツを上下動する機構をさらに具備することを特徴とする請求項1記載の半導体製造装置。

【請求項6】前記カバーパーツは、前記半導体ウェハの表面に直接に接触した状態でウェハ周辺部の上面を覆うことを特徴とする請求項1乃至5のいずれか1項に記載の半導体製造装置。

【請求項7】前記カバーパーツは、前記半導体ウェハの表面に直接に接触しない状態でウェハ周辺部の上方を覆うことを特徴とする請求項1乃至5のいずれか1項に記載の半導体製造装置。

【請求項8】前記カバーパーツは、前記ウェハを覆う部分の少なくとも一部が90度未満の傾斜面を有することを特徴とする請求項1乃至7のいずれか1項に記載の半導体製造装置。

【請求項9】前記カバーパーツは、前記半導体ウェハの端縁より0.05mm以上の範囲を覆うことを特徴とする請求項1乃至8のいずれか1項に記載の半導体製造装置。

【請求項10】前記カバーパーツは、その材質が主としてアルミナ、シリコン、シリコンカーバイト、アルマイド、石英であることを特徴とする請求項1乃至9のいずれか1項に記載の半導体製造装置。

【請求項11】前記カバーパーツは、その表面に、アルミナ、シリコン、シリコンカーバイト、アルマイド、チタンを主たる材質とするコーティングが施されていることを特徴とする請求項1乃至9のいずれか1項に記載の半導体製造装置。

【請求項12】前記表面処理装置は、処理容器内部にエッティングガスが導入され、所定の気圧下で高周波電力が印加されることによって放電プラズマを発生し、前記半導体ウェハの表面に成膜されている強誘電体材料ある

いは磁性材料をドライエッティングする装置であることを特徴とする請求項1記載の半導体製造装置。

【請求項13】前記表面処理装置は、前記半導体ウェハの表面に強誘電体材料、磁性材料、誘電体材料、金属材料、絶縁膜材料、金属酸化膜材料のいずれかを成膜するスパッタ装置であることを特徴とする請求項1記載の半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造装置に係り、特に強誘電体材料、磁性材料、その他トランジスタ特性を劣化させる材料等を処理する製造装置に関するもので、例えば強誘電体メモリ、磁気メモリなどの製造に使用される。

【0002】

【従来の技術】近年、強誘電体メモリ、磁気メモリ等の研究開発が盛んとなり、強誘電体メモリに関しては製品生産が急速に立ち上がっている。この強誘電体メモリは、情報記憶用キャパシタの電極間絶縁膜に強誘電体薄膜を用いた強誘電体メモリセルのアレイを有する。

【0003】図13は、従来の強誘電体メモリセルの構造の一例を示している。

【0004】この強誘電体メモリセルを形成する際、まず、シリコンウェハ101に素子分離領域102を形成した後、ゲート絶縁膜103を形成し、ゲート電極104、ゲート保護絶縁膜105、ドレイン・ソース領域（拡散層領域）106、107を順次形成することによりバストランジスタ（スイッチ用のMOSトランジスタ）を形成する。この後、BPSG膜108等を堆積して平坦化し、その上層に下部電極109／強誘電体膜110／上部電極111を順に堆積し、それぞれパターニングを行って強誘電体キャパシタを配置し、その上層に絶縁膜（例えばプラズマTEOS）112を堆積し、この絶縁膜112と前記BPSG膜108に開けたコンタクトホールを介して局所配線113を施し、さらにその上層に絶縁膜114を堆積し、この絶縁膜114等に開けたコンタクトホールを介して金属配線115、116を施した後、パッシベーション膜で保護する。

【0005】ここで、強誘電体メモリセルキャパシタの強誘電体としては、 $Pb(Zr(1-x), Ti_x)O_3$ （チタン酸ジルコン酸鉛、以下、PZTと記す）、 $SrBi_2 Ta_2 O_9$ （ストロンチウム・ビスマス・タンタル、以下、SBTと記す）、 $Bi_4 Ti_3 O_{12}$ 等のペロブスカイト構造を含む酸化物あるいはそれらの一部を置換元素に置換した酸化物が用いられる。また、一般に、強誘電体材料としてPZTやSBTを用いた場合、強誘電体キャパシタの電極材料としてPt、Ir、IrO₂、Ru、RuO₂、LSCOなどの貴金属あるいは導電性酸化物が用いられる。

【0006】上記したような強誘電体メモリが形成されたLSIあるいは強誘電体メモリを搭載したシステムLSIの製造ラインでは、他のSiデバイスも共用で製造する場

(3) 001-308077 (P2001-308077A)

合が多い関係上、強誘電体キヤバシタ材料（例えばPt, Pb, Ir等）が、ウェハ周辺部およびウェハ裏面に付着することを好まない。なぜなら、ウェハ裏面に付着した材料が装置を汚染し、この汚染物質が他のデバイスに付着した場合に、前記材料がSi中に深い準位を作り、トランジスタ特性等を劣化させる可能性があるためである。

【0007】このような理由により、ゾルゲル法を用いた強誘電体成膜時には、Siウェハ周辺部および裏面に強誘電体膜が回り込まないようにウェハ周辺部を遮蔽することが多い。また、Pt等の電極材料のスパッタ堆積時にはウェハ周辺部にカットリングを採用する場合がある。

【0008】一方、半導体装置の製造工程で使用されるドライエッティング装置においては、表面に任意のマスクパターンが形成された半導体ウェハを真空容器（真空チャンバー）内に設置し、この真空チャンバー内にエッティングガスを導入し、所定の圧力下で所定の高周波電力を印加して放電プラズマを発生させ、反応性イオンによりウェハ表面をエッティング加工する。このような反応性イオンエッティング（RIE）の際、一般的には、反応性イオンとウェハの被エッティング層との反応により、蒸気圧の高い反応生成物が生成され、この反応生成物は大部分は排気されるが、その一部は真空チャンバー内の低温部に付着する。

【0009】また、ドライエッティング装置において、Siウェハ面内の温度ひいてはエッティングレートの均一性を向上するために、静電チャック機構を採用してウェハを固定する。

【0010】図14は、従来の静電チャック機構を採用したドライエッティング装置の一部を示す。この装置においては、真空チャンバー内でSiウェハ10を上部電極11に対向させて静電チャック機構12により固定するが、ウェハ周辺部には覆いがない。

【0011】前記Siウェハ10上面に堆積形成された強誘電体キヤバシタ膜10a、例えばPt/Pb(Zr Ti)O₃ / Pt積層膜（以下、Pt/PZT / Pt積層膜と記す）を図14の装置を用いてパターニング加工する際、エッティングガスとしてCl₂、CF₄ガスを用いると、Pt、Pb等の元素とCl、F等の化合物の蒸気圧が著しく低いので、エッティング速度が遅くなる。そこで、エッティングガスとしてArガスを用い、物理的なスパッタ効果を利用したエッティングを採用する場合が多い。

【0012】ところで、前記Pt/PZT / Pt積層膜が前述のゾルゲル法で形成されている場合には、Siウェハ周辺部のPZT、Pt膜は除去されているが、本願発明者らは、Pt/PZT / Pt積層膜を図14の装置を用いてエッティング加工すると、エッティング加工の最中に、図15に示すようにウェハ周辺部および裏面に強誘電体キヤバシタ材料が飛散し、堆積することを見出した。

【0013】このように飛散した強誘電体材料を除去することは難しい。なぜなら、Pt等の材料は王水しか溶解しなく、通常のウェット処理等を用いて洗浄することは適切でなく、現実問題として洗浄除去が著しく困難である。

【0014】また、スパッタ装置においても、静電チャック機構によりウェハを固定して例えば前記したようなPZT膜をスパッタ形成する際にウェハ周辺部に回り込みが発生し、この不要な膜を除去するためには新たな工程が必要になり、製造コストが高くなる。

【0015】このような問題は、近年、Si LSIで用いられるようになったCu配線におけるスパッタ堆積工程、あるいはRIE工程でも予想される。

【0016】なお、特開平11-26563号公報の「静電吸着電極装置」には、静電吸着電極自体の外周部を保護するため、あるいは、プラズマを閉じ込めるためのフォーカスリング（ガイドリング、カバーリング）をウェハの外周に配設したドライエッティング装置が開示されている。このドライエッティング装置では、反応生成物の一部が静電吸着電極の外周部やフォーカスリングに堆積することを防止するために、フォーカスリングの近傍で冷却ガスを吹き付ける構成が提案されているが、ウェハ周辺部および裏面に強誘電体キヤバシタ材料などが飛散し、堆積する現象やその防止策については開示されていない。

【0017】

【発明が解決しようとする課題】上記したように従来の静電チャック機構を装備した半導体製造装置は、強誘電体材料等の加工を行う時にウェハ裏面および周辺部に材料が飛散し、それを除去するために通常のウェット処理等を用いて洗浄することは著しく困難である、あるいは新たな除去工程が必要になって製造コストが高くなるという問題があった。

【0018】本発明は上記の問題点を解決すべくなされたもので、半導体装置の製造に際して静電チャック機構により固定されるウェハ上で強誘電体、磁性材料、金属材料、その他トランジスタ特性を劣化させる材料等の加工を行う際に、ウェハ周辺および裏面に材料が飛散、汚染することを防止抑制し得る半導体製造装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体製造装置は、処理容器内部に被処理半導体ウェハを収容し、前記半導体ウェハの表面処理を行うための表面処理装置と、前記処理容器内に収容され、前記半導体ウェハを固定するための静電チャック機構と、前記処理容器内に収容され、前記半導体ウェハの周辺部の上面あるいは上方を覆うカバー部品とを具備することを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実

(4) 001-308077 (P2001-308077A)

施の形態を詳細に説明する。

【0021】<実施形態1>図1は、本発明の第1の実施の形態に係るドライエッチング装置の一例としてマグネットロンRIE装置を示す。

【0022】このRIE装置は、真空容器（真空チャンバー）1の内部に平行平板電極を有する構造のものであり、基本的な構成のほか、上部電極11に対向する位置で被処理基板（半導体ウェハ10）を上面に載置した状態で固定支持するステージである静電チャック機構12と、ウェハ10の周辺部の上面あるいは上方を覆うカバー部品13を備えている。

【0023】前記ステージは、温度調節機構（図示せず）を有し、ウェハの温度を制御可能である。そして、真空チャンバーの例えば天壁にはガス導入管2が接続されており、真空チャンバーの側壁下部には排気口3が設けられており、真空チャンバーの側壁部にはウェハ10を外部との間で搬送するためのゲート（図示せず）が設けられている。

【0024】さらに、図示しないが、高周波電源、ガス流量を制御するためのガス制御回路などのほか、真空チャンバー内に高密度な磁界を作り、プラズマ中のイオンに異方性を持たせるために磁石が設けられている。

【0025】なお、図1に示したRIE装置の構成は一例であり、実際の構成は種々の形式のものがある。

【0026】図2は、図1中のウェハ10およびカバー部品13を取り出して拡大して示す平面図である。図3は、図1中のウェハ10およびカバー部品13を取り出して拡大して示す断面図である。

【0027】ウェハ10は、本例では、強誘電体メモリ搭載システムLSIを製造するために、Siウェハ10上の絶縁膜上に強誘電体キヤバシタ膜（例えばPt/PZT/Pt積層膜）10aが例えばゾルゲル法を用いて堆積され、ウェハ周辺部およびウェハ裏面に強誘電体キヤバシタ膜が回り込まないように形成されている、つまり、ウェハ周辺部にはPZT、Pt膜は存在しない。

【0028】カバー部品13として、本例では、ウェハ周辺部の上面の全周を覆うようにリング構造のものが用いられている。このリング構造のカバー部品（カバーリング、ガードリング、以下、カバーリングと記す）13は、例えばアルミナ製であり、上面が水平面であり、内縁部には下向きの鍔部130が垂直に設けられており、鍔部130の先端面（下面）は平坦であり、ウェハ周辺部の上面に対接している。そして、本例では、カバーリング13は、ウェハ端（ベベル部100の端縁）から2mmの範囲を覆うように設けられている。この際、ベベル部100の幅は通常は0.15mmであるので、ベベル部100を含む領域をカバーリング13で覆っている。

【0029】次に、図1のRIE装置の動作について、図4を参照しながら説明する。

【0030】図1に示すように、Siウェハ10上に堆積形

成されたPt/PZT/Pt積層膜10aを電極11に対向させてSiウェハ10を静電チャック機構12により固定し、ウェハ周辺部をカバーリング13により覆った状態で、ガス導入管2から真空チャンバー1内にエッティングガス（例えばArガス）を導入し、排気口3の弁により真空チャンバー1内の圧力を調整し、この圧力が安定になった後、高周波電源から高周波電力を印加する。これにより、真空チャンバー1内に放電プラズマが発生し、このプラズマによりSiウェハ10上のPt/PZT/Pt積層膜10aがエッティング加工される。

【0031】この際、本実施形態では、アルミナ製のカバーリング13によりウェハ周辺部を覆った状態であるので、図4に示すように、ウェハ周辺部およびウェハ裏面部へのPt/PZT/Pt積層膜10aの材料の飛散や回り込みによる汚染を抑制できることが判明した。

【0032】例えば、Pt/PZT/Pt積層膜10aのうちのPZT膜=Pb_xZr_{1-x}Ti_{1-x}O₃膜を150nmエッティングした場合、カバーリング13で覆われたウェハ周辺部およびウェハ裏面部におけるPb、Zr、Tiの面濃度はそれぞれ1×10¹⁰atoms/cm²以下であった。

【0033】これに対して、図1に示した従来のRIE装置により前記PZT膜を150nmエッティングした場合には、図15に示したようにウェハ周辺部およびウェハ裏面部にPb、Zr、Tiが飛び散って汚染し、それぞれの面濃度は～1×10¹³atoms/cm²であった。

【0034】上記したように、本実施形態1では、ウェハを固定するための静電チャック機構12を有するRIE装置においてウェハ周辺部の上面を覆うカバーリング13を設けたので、ウェハ周辺部における各元素の面濃度が従来のRIE装置と比べて3桁も低減している。このようにウェハ周辺部およびウェハ裏面部にエッティング材料が飛散、汚染するのを防ぐことができる結果、共用ラインで強誘電体メモリ以外の他のSiデバイスも汚染問題の心配なく製造ができる。つまり、強誘電体メモリ専用ラインが必要無くなり、大幅なコスト低減が可能となる。

【0035】なお、ウェハ周辺部の外周の一部の上面を覆うようにカバーリング13を設けた場合でも、ウェハ周辺部およびウェハ裏面部へのPt/PZT/Pt積層膜10aの材料の飛散や回り込みによる汚染を抑制することができる。

【0036】<実施形態2>前述した実施形態1では、カバーリング13がSiウェハ10の表面に直接に接した構造であるが、カバーリングがSiウェハ10の表面に直接に接しない構造（ウェハ周辺部の上方を覆う構造）でもよく、その一例を以下に説明する。

【0037】図5は、本発明の第2の実施の形態に係るRIE装置の一部を示している。

【0038】このRIE装置は、図1に示したRIE装置と比べて、カバーリング13の鍔部の先端面がウェハ周辺部の上面に間隔（例えば0.5mm）をあけて対向している点

(5) 001-308077 (P2001-308077A)

が異なり、その他は同じであるので図2中と同一符号を付してその説明を省略する。

【0039】このRIE装置により図2に示したようなPZT膜を150nmエッティングした場合、ウェハ周辺部に付着したPb, Zr, Tiの量は $1 \times 10^{10} \sim 1 \times 10^{11}$ atoms/cm²であり、前述した実施形態1とほぼ同程度の効果が認められた。

【0040】なお、Siウェハ10表面とカバーリング13との間の距離(対向間隔)を2.5cm程度まで対向間隔を広げても上記した効果は認められ、ウェハ周辺部に付着したPb, Zr, Tiの量は 5×10^{11} atoms/cm²以下であった。

【0041】<実施形態3>前述した実施形態1で使用した構造のカバーリング13は、図6に示すように、その上面のエッティング付着物はエッティングガスにより叩かれるので少ないが、カバーリング13の鍔部の側壁内面にエッティング付着物が多く(厚く)堆積し、ダストの原因になり易かった。そこで、このダストを低減するように改善した構造の一例を以下に説明する。

【0042】図7(a)は、本発明の第3の実施の形態に係るRIE装置で使用されるカバーリング13aおよびウェハ10の断面構造の一部を示している。

【0043】このカバーリング13aは、図1に示したカバーリング13と比べて、鍔部の側壁内面に90度未満のテーパー角度を付けている点が異なり、その他は同じであるので図3中と同一符号を付してその説明を省略する。

【0044】上記したようにテーパーをつけたカバーリング13aを採用すると、エッティング中にテーパ一面が叩かれるので、エッティング付着物の堆積量が少なくなり、ダスト数の低減に効果があった。また、テーパー角度を小さくすることにより、ウェハ面内のエッティング均一性が向上した。

【0045】なお、カバーリング13aのリング周辺部の全面(鍔部の側壁内面の全周)にテーパー角度を付ける場合に最も効果があったが、リング周辺部の少なくとも一部が90度未満のテーパーを有する構造であれば、効果が認められた。

【0046】図7(b)乃至(e)は、図7(a)中のカバーリング13aの複数の変形例を示す。

【0047】図7(b)に示すカバーリング13bは、図7(a)に示したカバーリング13aと比べて、鍔部の側壁内面のテーパー角度が二段階に変化している点が異なる。なお、鍔部の側壁内面のテーパー角度は三段階以上に変化させてもよい。

【0048】図7(c)に示すカバーリング13cは、図7(b)に示したカバーリング13bと比べて、上面にもテーパー角度がつけられている点が異なる。

【0049】図7(d)に示すカバーリング13dは、図7(a)に示したカバーリング13aと比べて、鍔部が斜

め内側下方に向かって設けられている点が異なる。

【0050】図7(e)に示すカバーリング13eは、図7(a)に示したカバーリング13bと比べて、上面にもテーパー角度がつけられている点が異なる。

【0051】<実施形態4>前述した実施形態1~3に示した構造のカバーリング13、13a~13eは、その重量が重い場合に、ウェハ周辺部に重量負荷がかかり、ウェハが外れたり、ウェハ面内の温度の均一性が悪くなることがある。そこで、これを解消するように改善した構造の一例を以下に説明する。

【0052】図8(a)は、本発明の第4の実施の形態に係るRIE装置で使用されるカバーリング83およびウェハ10、静電チャック機構12の断面構造の一部を示している。

【0053】このカバーリング83は、図7(a)に示したカバーリング13aと比べて、外径が小さくされて軽量化され、その水平部の下面がカバーリング支持台80により支持されている。また、静電チャック機構12は、図8(b)に示すように上下動可能な構造を有する。その他は同じであるので図3中と同一符号を付してその説明を省略する。

【0054】図9は、図8(a)中のカバーリング83、カバーリング支持台80およびウェハ10の上面を示している。

【0055】図8(a)、(b)および図9に示すような構造により、ウェハ周辺部への重量負荷を軽減できるので、ウェハの反りが無くなり、ウェハ面内の温度の均一性がよくなり、エッティングの面内均一性が改善された。

【0056】<実施形態5>前述した実施形態1~3に示した構造を有するRIE装置においては、カバーリング13、13a~13e自体の上下動の可否については触れていないが、カバーリング自体の上下動が可能な構造を有するようにしてもよく、その一例を以下に説明する。

【0057】図10は、本発明の第5の実施の形態に係るRIE装置で使用されるカバーリング13aおよびウェハ10、静電チャック機構12の断面構造の一部を示している。

【0058】このRIE装置は、静電チャック機構12自体の上下位置は固定させ、例えば図7(a)に示したようなカバーリング13a自体の上下動が可能な構造を持たせたものであり、その他は同じであるので図7(a)中と同一符号を付してその説明を省略する。

【0059】このような構造により、カバーリング13a自体を上下動させてウェハ周辺部上に对接させたり対向させたりすることが可能である。その結果、ウェハ周辺部にかかるカバーリング13aの重量負荷を制御できる。

【0060】<実施形態6>前述した実施形態1~3に示した構造を有するRIE装置においては、静電チャック機構12自体の上下動の可否については触れていないが、そ

れ自身の上下動が可能な構造を有するようにしてもよく、その一例を以下に説明する。

【0061】図11は、本発明の第6の実施の形態に係るRIE装置で使用されるカバーリング13aおよびウェハ10、静電チャック機構12の断面構造の一部を示している。

【0062】このRIE装置は、例えば図7(a)に示したようなカバーリング13aの上下位置は固定させ、静電チャック機構12自体の上下動が可能な構造を持たせたものであり、その他は同じであるので図7(a)中と同一符号を付してその説明を省略する。

【0063】このような構造により、静電チャック機構12自体を上下動させてウェハ周辺部の上面をカバーリング13aの下面に接させたり対向させたりすることが可能である。その結果、ウェハ周辺部にかかるカバーリング13aの重量負荷を制御できる。

【0064】<実施形態7>前述した実施形態1～3に示した構造を有するRIE装置においては、カバーリング13、13a～13e自体および静電チャック機構12自体の上下動の可否については触れていないが、それぞれの上下動が可能な構造を有するようにしてもよく、その一例を以下に説明する。

【0065】図12は、本発明の第7の実施の形態に係るRIE装置で使用されるカバーリング13aおよびウェハ10、静電チャック機構12の断面構造の一部を示している。

【0066】このRIE装置は、例えば図7(a)に示したようなカバーリング13a自体の上下動が可能な構造を持たせるとともに、静電チャック機構12自体の上下動が可能な構造を持たせたものであり、その他は同じであるので図7(a)中と同一符号を付してその説明を省略する。

【0067】このような構造により、カバーリング13a自体および/または静電チャック機構12自体を上下動させてウェハ周辺部の上面とカバーリング13aの下面を接させたり対向させたりすることが可能である。その結果、ウェハ周辺部にかかるカバーリング13aの重量負荷を制御できる。

【0068】なお、前記各実施形態において、カバーリングがウェハ周辺部を覆う面積に関しては、ウェハ端から0.05mm以上の範囲を覆うと前記したような効果が認められ、ウェハ周辺部に付着したPb、Zr、Tiの量は $1 \times 10^{11} \text{ atoms/cm}^2$ 以下であった。また、ウェハ上部を全く覆わない、すなわちウェハ端から0mmの範囲を覆う場合でも、ウェハ周辺部にカバーリングを配置することにより、ウェハ裏面に付着したPb、Zr、Tiの量は $1 \times 10^{11} \text{ atoms/cm}^2$ 以下であった。

【0069】また、前記各実施形態において、カバーリング自体の高さは1cm以下であることがエッティングの面内均一性の点で望ましいことが認められた。因みに、カ

バーリングによりウェハ端から2mmの範囲を覆い、Siウェハ上の SiO_2 膜をエッティングした場合、ウェハ端から5mmよりウェハ中央部における SiO_2 膜の厚さの面内均一性は10%以内であった。

【0070】また、前記各実施形態において、リングの材料としては、前述したアルミナ等のセラミック材料のほか、石英、導電性のシリコン、アルマイト、SiC(シリコンカーバイト)等、あるいはそれらのうちの任意の組み合わせを主材料とする材質が適切である。

【0071】また、前記リングの表面に、ドライエッティング時に堆積された強誘電体材料が剥離難くなるような材料(アルミナ、シリコン、シリコンカーバイト、アルマイト等)、前記強誘電体材料自体等(Pt、Ti等)をコーティングする方法も有効である。

【0072】また、前記各実施形態のRIE装置は、プラズマ源がICP(誘導結合型プラズマ)方式その他に変更されてもカバーリング部を用いることによる基本効果は同様に得られる。

【0073】また、前記各実施形態のRIE装置は、強誘電体メモリの製造に本発明を適用したが、ウェハ上の強誘電体、磁性材料、その他トランジスタ特性を劣化させる材料等の加工を行う際に本発明を適用することによって、ウェハ周辺および裏面に材料が飛散、汚染することを防止抑制することができる。

【0074】即ち、MRAMの製造に際して本発明を適用することによって、磁性材料がウェハ周辺部に付着することを防止することが可能になる。また、DRAMのセルキャパシタの容量を稼ぐためにキャパシタ絶縁膜として比誘電率が大きな高誘電率誘電体である例えば $(\text{Ba}, \text{Sr})\text{TiO}_3$ (チタン酸バリウムストロンチウム)等の薄膜およびPt、Ru、Sr、Ir等の電極材料、 RuO_2 、 IrO_x 、 SrRuO_3 等の金属酸化膜を使用する場合にも、本発明を適用することによって材料がウェハ周辺部に付着することを防止することが可能になる。また、近年、Si LSIで用いられるようになったCu配線を形成するためのスパッタ堆積工程あるいはRIE工程に、本発明を適用することによって、Cu材料(金属材料)がウェハ周辺部に付着することを防止することが可能になる。その他、金属材料としてCoを用いる場合も対象となる。

【0075】また、前記各実施形態は、ドライエッティング装置を示したが、静電チャック機構を有するスパッタ装置等に本発明に係るカバーリング機構を適用した場合にも、スパッタ時のウェハ周辺および裏面への膜の回り込みを抑制することができる。

【0076】

【発明の効果】上述したように本発明の半導体製造装置によれば、半導体装置の製造に際して静電チャック機構により固定されるウェハ上で強誘電体、磁性材料、金属材料、その他トランジスタ特性を劣化させる材料等の加工を行う際に、ウェハ周辺および裏面に材料が飛散、汚

染することを防止抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るドライエッチング装置の一例としてマグネットロンRIE装置の要部を示す構成説明図。

【図2】図1中のウェハおよびカバー部品を取り出して拡大して示す平面図。

【図3】図1のRIE装置の動作を説明するためにウェハおよびカバー部品の一部を示す断面図。

【図4】図3の一部を拡大して示す断面図。

【図5】本発明の第2の実施の形態に係るRIE装置の一部を示す構成説明図。

【図6】本発明の第1の実施の形態で使用した構造のカバーリングの鉛部の側壁内面にエッチング付着物が堆積した様子を示す断面図。

【図7】本発明の第3の実施の形態に係るRIE装置で使用されるカバーリングおよびその複数の変形例を示す断面図。

【図8】本発明の第4の実施の形態に係るRIE装置で使用されるカバーリングおよびウェハ、静電チャック機構の断面構造の一部を示す断面図。

【図9】図8中のカバーリング、カバーリング支持台およびウェハを示す上面図。

【図10】本発明の第5の実施の形態に係るRIE装置で

使用されるカバーリングおよびウェハ、静電チャック機構の一部を示す断面図。

【図11】本発明の第6の実施の形態に係るRIE装置で使用されるカバーリングおよびウェハ、静電チャック機構の一部を示す断面図。

【図12】本発明の第7の実施の形態に係るRIE装置で使用されるカバーリングおよびウェハ、静電チャック機構の一部を示す断面図。

【図13】従来の強誘電体メモリセルの一例を示す断面図。

【図14】従来の静電チャック機構を採用したドライエッチング装置の一部を示す構成説明図。

【図15】強誘電体キヤバシタ膜(Pt/PZT/Pt積層膜)が堆積形成されたSiウェハを図14のドライエッチング装置を用いてバターニング加工した際、ウェハ周辺部および裏面部に強誘電体キヤバシタ材料が飛散し、堆積した様子を示す断面図。

【符号の説明】

10…Siウェハ、

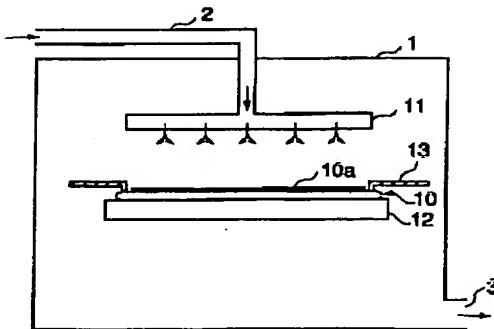
10a…強誘電体キヤバシタ膜(例えばPt/PZT/Pt積層膜)、

11…上側電極、

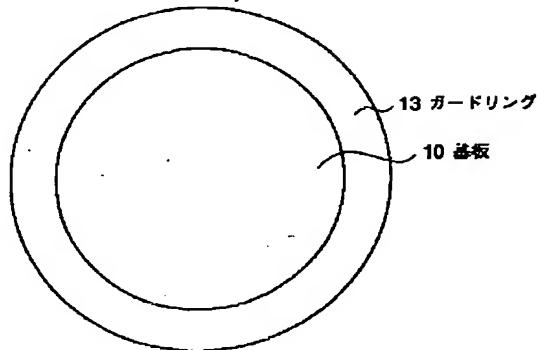
12…静電チャック機構、

13…カバー部品。

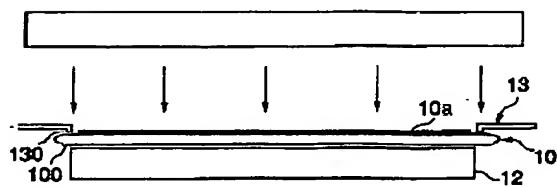
【図1】



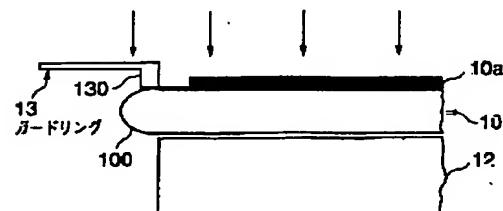
【図2】



【図3】



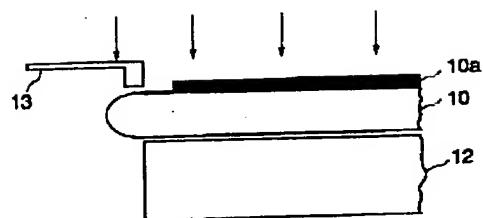
【図4】



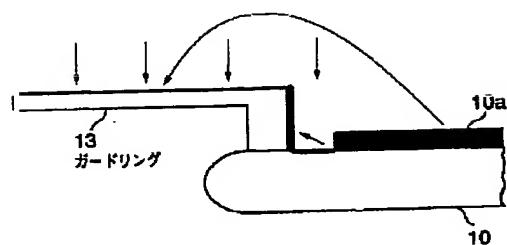
BEST AVAILABLE COPY

(8) 001-308077 (P2001-308077A)

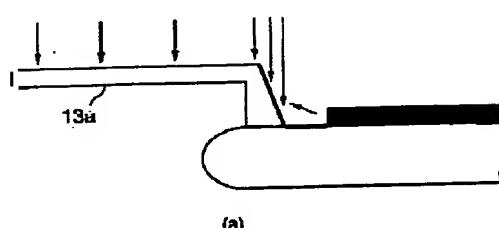
【図5】



【図6】



【図7】



(a)

【図8】

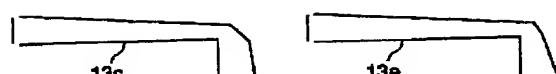


(s)



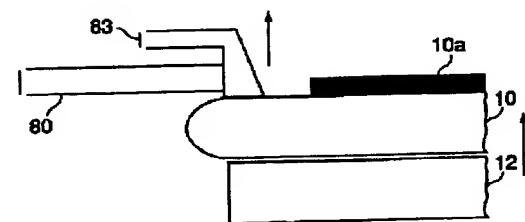
(b)

(d)



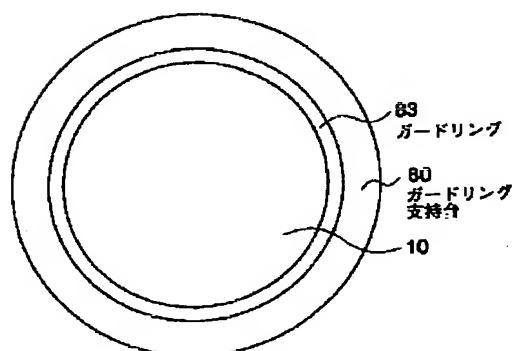
(c)

(e)

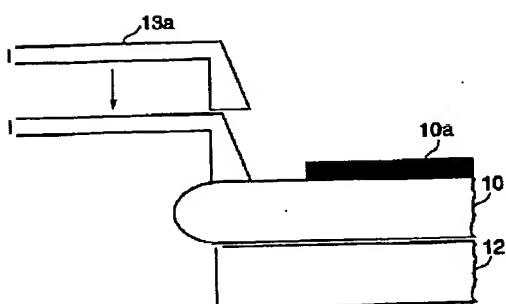


(b)

【図9】



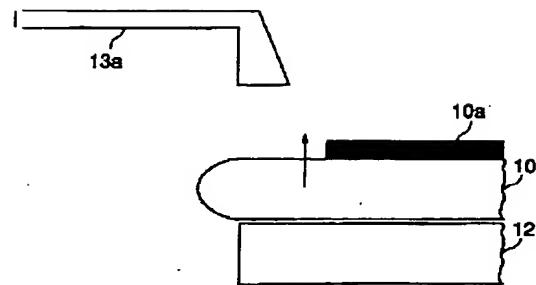
【図10】



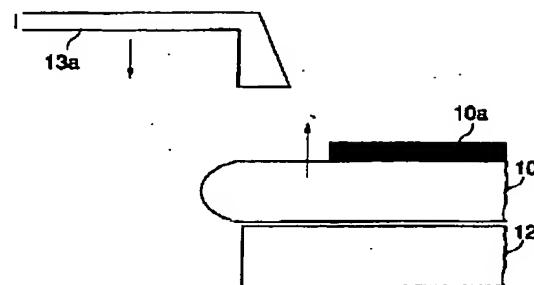
BEST AVAILABLE COPY

!(9) 001-308077 (P2001-308077A)

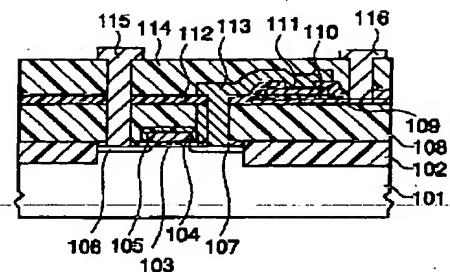
【図11】



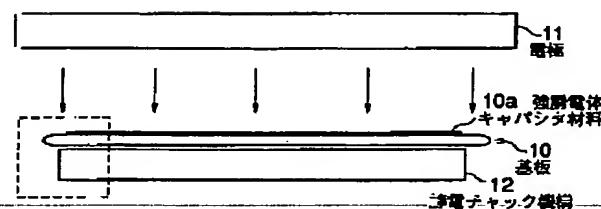
【図12】



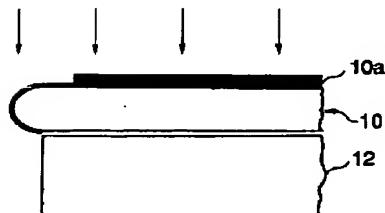
【図13】



【図14】



【図15】



フロントページの続き

(51) Int.Cl. ⁷ H 01 L 27/10	識別記号 4 6 1	F I H 01 L 27/10	(参考) 4 4 4 B
---	---------------	---------------------	-----------------

(72)発明者 谷口 泰之
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術センター内
(72)発明者 國島 巍
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム(参考) 4K029 CA05 JA05
5F004 BA04 BB18 BB22 BB23 BB28
BB30 DA23 DB13
5F083 AD21 AD49 FR02 GA25 GA27
JA15 JA17 JA38 JA43 PR03
ZA11
5F103 AA08 BB22 BB33 DD27 GG02
HH03 LL14

THIS PAGE BLANK (USPTO)